

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-258634

(43)Date of publication of application : 24.09.1999

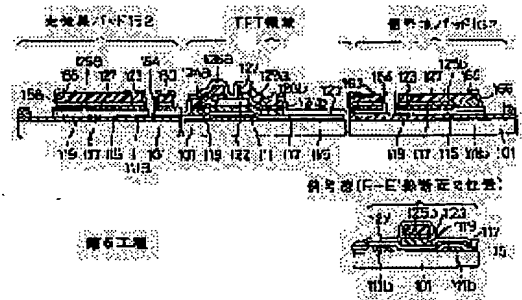
(51)Int.Cl. G02F 1/136  
G09F 9/30(21)Application number : 10-063254 (71)Applicant : TOSHIBA CORP  
(22)Date of filing : 13.03.1998 (72)Inventor : KASHIMOTO MIYUKI

## (54) PRODUCTION OF ARRAY SUBSTRATE FOR DISPLAY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make it possible to efficiently execute the formation of contact holes in multilayered insulating films consisting of silicon oxide films and silicon nitride films by a single etching treatment in a process for producing an array substrate for display devices.

**SOLUTION:** The etching for forming the contact holes (163, 164, 165, 166) (153, 154, 155, 156) (129a) is executed by an etching chemical of a hydrogen fluoride system. In such a case, the silicon nitride films constituting an interlayer insulating films (127) and a second insulating films (117) in particular are so formed that the density attains  $\leq 2.6$  g/cm<sup>2</sup> and the weight components ratio of nitrogen/silicon attains  $\geq 1.3$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51) Int.Cl. <sup>6</sup>	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平10-63254

(22) 出願日 平成10年(1998) 3月13日

(71) 出願人 000003078

株式会社東芝  
神奈川県川崎市幸区堀川町72番地

(72) 発明者 櫻本 美由紀

兵庫県姫路市余部区上余部50番地 株式会  
社東芝姫路工場内

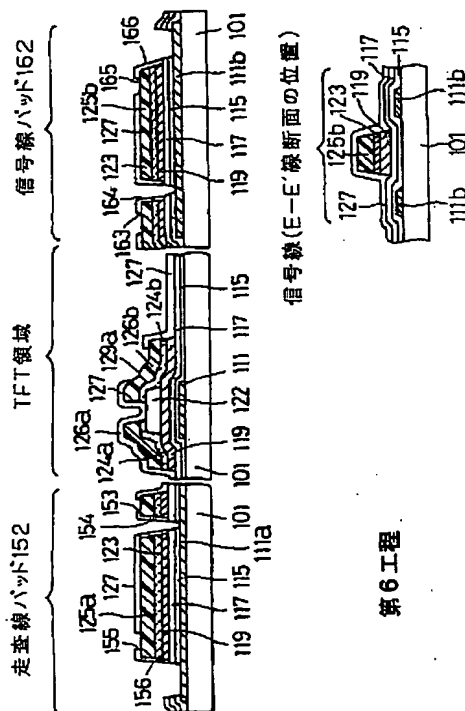
(74) 代理人 弁理士 藤田 璋子 (外 1 名)

(54) 【発明の名称】 表示装置用アレイ基板の製造方法

(57) 【要約】

【課題】 表示装置用アレイ基板の製造方法において、酸化シリコン膜と窒化シリコン膜とからなる多層絶縁膜におけるコンタクトホール形成を、単一のエッチング処理により効率的に行うことができるものを提供する。

【解決手段】 コンタクトホール(163, 164, 165, 166) (153, 154, 155, 156) (129a)を形成するためのエッチングをフッ化水素系のエッチング薬剤により行う。特に、層間絶縁膜(127)及び第2ゲート絶縁膜(117)を構成する窒化シリコン膜について、密度が密度が2.6g/cm<sup>2</sup>以下、窒素/ケイ素の重量組成比が1.3以上となるように成膜する。



## 1

## 【特許請求の範囲】

【請求項1】基板上に配置される走査線と、  
この上に配置される第1及び第2絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、

前記ドレイン電極から導出されて前記走査線と略直交する信号線と、

前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、  
窒化シリコン膜及び酸化シリコン膜をそれぞれ一層以上含んでなる多層膜を貫通するコンタクトホールを形成し、フッ化水素又はその塩を含有してなる単一のエッチング液によって単一のエッチング処理工程で同時に進行することを特徴とする表示装置用アレイ基板の製造方法。

【請求項2】請求項1記載のアレイ基板の製造方法において、

前記エッチング液がフッ酸-フッ化アンモニウム緩衝液(BHF)であることを特徴とする表示装置用アレイ基板の製造方法。

【請求項3】請求項1記載のアレイ基板の製造方法において、

前記窒化シリコン膜は、密度が $2.6\text{ g/cm}^2$ 以下であり、窒素/ケイ素の重量組成比が1.3以上であることを特徴とする表示装置用アレイ基板の製造方法。

【請求項4】請求項3記載のアレイ基板の製造方法において、

前記密度が $1.8\sim 2.4\text{ g/cm}^2$ であることを特徴とする表示装置用アレイ基板の製造方法。

【請求項5】請求項3記載のアレイ基板の製造方法において、

前記多層膜を構成する各層のエッチング速度について、最大値/最小値の比が1.2以下であることを特徴とする表示装置用アレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられるアレイ基板の製造方法に関する。

## 【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査

## 2

線とが格子状に配置され、各交点部分にアモルファスシリコン(以下、a-Si:Hと略称する。)等の半導体薄膜を用いた薄膜トランジスタ(以下、TFTと略称する。)が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】ここで、通常、上記ゲート電極及び走査線の上には、その上方の半導体層等とを絶縁するために、酸化シリコンからなる第1ゲート絶縁膜が配されており、多くの場合さらに窒化シリコンからなる第2ゲート絶縁膜が配されている。また、上記透明導電材料の層と信号線等の金属配線層との間には、窒化シリコンからなる層間絶縁膜が配されている。

【0006】このようなアクティブマトリクス液晶表示装置の製造コストを低減する上で、アレイ基板製造のための工程数が多く、そのためアレイ基板のコスト比率が高いという問題があった。

【0007】そこで、特願平8-260572号においては、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングを行った後、ソース電極と画素電極との接続用のコンタクトホールの作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時に進行することが提案されている。これにより、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

## 【0008】

【発明が解決しようとする課題】上記のようなアレイ基板の製造方法を採用するならば、信号線及び走査線の接続端を露出させるよう、酸化シリコンからなる第1ゲート絶縁膜と窒化シリコンからなる第2ゲート絶縁膜及び層間絶縁膜とより構成される多層膜にコンタクトホールを開ける必要が生じる。

【0009】ところが、エッチング特性が異なる酸化シリコン膜と窒化シリコン膜とをそれぞれ別のエッチング試薬による2段階のエッチング処理工程にてコンタクトホールを形成するとするならば、アレイ基板の製造工程を簡略化する上で望ましくない。

【0010】ドライエッチング(プラズマエッチング又はRIEエッチング)により上記多層膜におけるコンタクトホール形成を試みた場合、エッチング速度が著しく遅いためコンタクトホール形成に要する工程時間が極端に長くなる。したがって、実用的でない。

【0011】一方、ウェットエッチング(湿式化学エッ

## 3

チング)について、液晶表示装置や半導体の製造の分野で工業的に一般に用いられているエッチング液により上記多層膜におけるコンタクトホール形成を試みた場合にも、酸化シリコンと窒化シリコンとのエッチング速度のバランスが取れないといった原因で所望のコンタクトホールを実用的な効率で得ることはできなかった。

【0012】そこで、本発明は、上記問題点に鑑み、酸化シリコン膜と窒化シリコン膜とからなる多層絶縁膜におけるコンタクトホールの形成を、単一のエッチング処理により効率的に行うことができるアレイ基板の製造方法を提供する。

## 【0013】

【課題を解決するための手段】請求項1記載の表示装置用アレイ基板の製造方法においては、基板上に配置される走査線と、この上に配置される第1及び第2絶縁膜、この上に配置される半導体膜、前記半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、フッ化水素又はその塩を含有してなる溶液をエッチング剤として用いることにより、窒化シリコン膜及び酸化シリコン膜をそれぞれ一層以上含んでなる多層膜を貫通するコンタクトホールの形成を、フッ化水素又はその塩を含有してなる単一のエッチング液によって単一のエッチング処理工程で同時に行うことを特徴とする。

【0014】このような構成により、酸化シリコン膜及び窒化シリコン膜からなる多層膜におけるコンタクトホールの形成を、一つのエッチング液を用いる単一のエッチング処理により一括して行うことができる。

【0015】請求項2記載の表示装置用アレイ基板の製造方法においては、請求項1記載のアレイ基板の製造方法において、前記エッチング剤がフッ酸-フッ化アンモニウム緩衝液(BHF)であることを特徴とする。

【0016】請求項3記載の表示装置用アレイ基板の製造方法においては、請求項1記載のアレイ基板の製造方法において、前記窒化シリコン膜は、密度が $2.6\text{ g/cm}^2$ 以下であり、窒素/ケイ素の重量組成比が1.3以上であることを特徴とする。

【0017】このような構成により、酸化シリコン膜及び窒化シリコン膜のそれぞれのエッチング速度の差を十分に小さくすることができ、酸化シリコン膜及び窒化シリコン膜からなる多層膜に対して良好なコンタクトホールを効率良く形成することが出来る。

【0018】請求項4記載の表示装置用アレイ基板の製造方法においては、請求項3記載のアレイ基板の製造方法において、前記密度が $1.8\sim 2.4\text{ g/cm}^2$ であることを特徴とする。

【0019】請求項5記載の表示装置用アレイ基板の製

## 4

造方法においては、請求項3記載のアレイ基板の製造方法において、前記多層膜を構成する各層のエッチング速度についての最大値/最小値の比が1.2以下であることを特徴とする。

## 【0020】

【発明の実施の形態】<表示装置用アレイ基板の構成>以下、本発明の表示装置用アレイ基板の構成について図1から図4に基づいて説明する。

【0021】図1は、アレイ基板(100)の概略平面図を示すものであり、図中の下側が液晶表示装置の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

【0022】(表示領域の構造)図2は、アレイ基板のTFT(112)形成領域の積層構造を模式的に示す縦断面図である。

【0023】アレイ基板(100)は、ガラス基板(101)上に配置される480本の走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)に電気的に接続される。

【0024】アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のMo-W合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)に電気的に接続される。なお、信号線(110)は、Mo-W合金以外にも、例えば、Moを主成分とする第1金属膜と、Alを主成分とする第2金属膜と、Moを主成分とする第3金属膜の三層構造等で構成することができる。

【0025】走査線(111)と信号線(110)との交点部分近傍には、TFT(112)が配置されている。また、このTFT(112)に接続されるITOから成る画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。

【0026】この層間絶縁膜(127)としては窒化シリコン膜が配される。窒化シリコン膜は、半導体素子に悪影響を及ぼす水分やナトリウムイオンを阻止する効果が高い。また、酸化シリコン膜に比べ、下層の信号線等に使用されているアルミニウムの融点に比べて低い温度で成膜が可能である。尚、層間絶縁膜(127)としては、窒化シリコン膜と共に有機樹脂等との組合せによっても構成することができる。

【0027】一方、走査線(111)及びゲート電極の上方には、第ゲート絶縁膜(115)(117)が配される。これらゲート絶縁膜(115)(117)は、TFTの上層に配される層間絶縁膜(127)とは違って、高温で成膜をすることができるので、緻密な酸化シリコン膜を形成することができる。しかし、半導体被膜との相性、ゲート絶縁膜の保護膜としての性能向上を考慮して、この実施例では、下方の第1ゲート絶縁膜(115)を酸化シリコン膜とし、その

上方の第2ゲート絶縁膜(117)を窒化シリコン膜とする。

【0028】図2に示すように、アレイ基板の積層構造において、画素電極(131)を構成するITO層の上には、ポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141)が配される。また、アレイ基板(100)の外表面には、それぞれ偏光板(311)が貼り付けられている。

【0029】この液晶表示装置用アレイ基板(100)によれば、信号線(110)及び走査線(111)と画素電極(131)との間には、層間絶縁膜(127)、あるいは第1及び第2ゲート絶縁膜(115)、(117)及び層間絶縁膜(127)がそれぞれ配置されているので、画素電極(131)を各配線(110)、(111)に対して十分に近接、もしくは重畳して配置することができ、これにより液晶表示装置の高開口率化を実現することができる。

【0030】(走査線の外周部付近の構造)走査線(111)の外周部付近の構造について、図1及び図3に基づいて説明する。

【0031】走査線(111)は、ガラス基板(101)の一端辺(101a)側に引出され、斜め配線部(150)及び走査線パッド(152)に導かれる下層配線部(111a)を形成している。

【0032】斜め配線部(150)においては、走査線(111)から延在される下層配線部(111a)上には2層の絶縁膜(115)、(117)が積層配置されている。また、この2層の絶縁膜(115)、(117)の上には、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)と同一工程で同一材料である上層配線部(125a)が積層され、この上層配線部(125a)の上には層間絶縁膜(127)が配置されている。

【0033】そして、この斜め配線部(150)の基部においては、一対を成す第1コンタクトホール(153)と第2コンタクトホール(154)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)から延在される下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(153)及び第2コンタクトホール(154)を介して電氣的に接続されている。なお、第2コンタクトホール(154)は、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(153)は上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0034】また、走査線パッド(152)においては、やはり一対を成す第1コンタクトホール(155)と第2コンタクトホール(156)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)の下層配線部(111a)と上層配線部(125a)とが第1

コンタクトホール(155)及び第2コンタクトホール(156)を介して電氣的に接続されている。なお、第2コンタクトホール(156)は、上述した第2コンタクトホール(154)と同様に、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(155)は上述の第1コンタクトホール(153)と同様に上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0035】これにより、走査線(111)の斜め配線部(150)は、互いに別工程でパターンニングされる信号線(110)と同一材料で同一工程で作製される上層配線部(125a)と走査線(111)から延在される下層配線部(111a)との積層構造で構成され、この2層によって斜め配線部(150)の基部と走査線パッド(152)とが電氣的に接続される。

【0036】このため、斜め配線部(150)において、上層配線部(125a)または下層配線部(111a)の一方が断線しても、他方が接続されているため、斜め配線部(150)での断線不良が極めて軽減される。

【0037】なお、第2コンタクトホール(156)の領域、即ち下層配線部(111a)と走査線接続層(131)との積層領域が主として走査線パッド(152)の接続領域として機能する。

【0038】(信号線の外周部付近の構造)信号線(110)の外周部付近の構造について、図1及び図4に基づいて説明する。

【0039】走査線(111)と同一工程で同一材料から成る下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0040】斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115)、(117)が配置されている。また、この2層の絶縁膜(115)、(117)の上には、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在される上層配線部(125b)(信号線(110))が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。

【0041】そして、この斜め配線部(160)の基部においては、一対を成す第1コンタクトホール(163)と第2コンタクトホール(164)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電氣的に接続されている。なお、第2コンタクトホール(164)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(163)は上層配線部(125b)の主表面の一部を露出するように

層間絶縁膜(127)を貫通する開口である。

【0042】また、信号線パッド(162)においては、やはり一対を成す第1コンタクトホール(165)と第2コンタクトホール(166)とがそれぞれ配線方向に近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電気的に接続されている。なお、第2コンタクトホール(166)は、上述した第2コンタクトホール(164)と同様に、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(165)は上述の第2コンタクトホール(163)と同様に上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0043】これにより、斜め配線部(160)においては、信号線(110)から延在される上層配線部(125b)と走査線(111)と同一工程で同一材料である下層配線部(111b)とが積層配置され、この2層によって、斜め配線部(160)の基部と信号線パッド(162)とを電気的に接続している。

【0044】そのため、斜め配線部(160)において、上層配線部(125b)または下層配線部(111b)の一方が断線しても、他方が接続されているため、斜め配線部(160)に断線不良が生じることが軽減される。

【0045】なお、この実施例では、第2コンタクトホール(166)の領域、即ち下層配線部(111b)と走査線接続層(131)との積層領域が主として信号線パッド(162)の接続領域として機能する。

【0046】以上のようなアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターンニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時に行うことで、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0047】また、信号線及び走査線の各斜め配線部においては、信号線を成す上層配線部と走査線を成す下層配線部との2層によって構成され、各斜め配線部の基部と各パッドとを電気的に接続している。そのため、斜め配線部において、上層配線部または下層配線部の一方が断線しても、他方が接続されているため、斜め配線部が断線することがない。

【0048】<アレイ基板の製造工程>次に、このアレイ基板(100)の製造工程全般について、図5から図10を参照して詳細に説明する。

【0049】(1)第1工程

ガラス基板(101)に、スパッタ法により、Al-Nd膜(2モル%(原子%)Nd)を300nmの膜厚、Mo膜を50nmの膜厚に堆積させる。

【0050】Al合金膜は、例えば、Al-Y(Yが2モル%)、Al-Gd(Gdが2モル%)、Al-Sc(Scが2モル%)等でも可能である。

【0051】この積層膜上に、フォトリソグラフィを用いて走査線パターンと補助容量配線の一部を形成し、リン酸、酢酸、硝酸の混酸を用いてテーパ形状にエッチングし、走査線と補助容量配線パターンを完成させる(第1のパターニング)。

【0052】これにより、ガラス基板(101)上に480本の走査線(111)を作製すると共に、その一端辺(101a)側において走査線(111)の斜め配線部(150)及び走査線パッド(152)を構成する下層配線部(111a)、一端辺(101b)において信号線(110)の斜め配線部(160)及び信号線パッド(162)を構成する下層配線部(111b)をそれぞれ同時に作製する。

【0053】さらに、TFT領域では走査線(111)と一体で走査線(111)と直交する方向に導出されるゲート電極を作製する。また、走査線(111)のパターニングの際に走査線(111)と直交する方向に導出され、補助容量(Cs)を形成するための延在領域(113)も同時に作製しておく(図1参照)。

【0054】(2)第2工程

第1工程の後、図6に示すように、ガラス基板(101)を300℃以上に加熱した後、常圧プラズマCVD法により150nm厚の酸化シリコン膜(SiO<sub>x</sub>膜)から成る第1ゲート絶縁膜(115)を堆積した後、さらに減圧プラズマCVD法により150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気にさらすことなく成膜する。

【0055】ここで、窒化シリコン膜である第2ゲート絶縁膜(117)を成膜する際には、減圧プラズマCVDの条件を、密度が2.6g/cm<sup>2</sup>以下、重量組成におけるケイ素(シリコン)元素に対する窒素元素の比(窒素/ケイ素の重量組成比)が1.3以上となるように調整する。

【0056】ガラス基板(101)を300℃以上に加熱した後、成膜することで、絶縁耐圧が5×10<sup>6</sup>V/cmの絶縁膜が得やすい。また、窒化膜であれば、上記耐圧に加え、光学ギャップが5eV以上のものが得やすい。

【0057】SiO<sub>x</sub>膜の代わりに、ガラス基板(101)を300℃以上に加熱した後、熱CVD法によるSiO<sub>2</sub>膜を用いてもよい。このとき、熱処理が加わるため、Al膜のヒロック発生が懸念されるが、Al合金とMoの効果で、ほとんどヒロックは抑制されている。

## 【0058】(3) 第3工程

第2工程の後、図7に示すように、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャンネル保護被膜(121)をパターニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターニング(第2のパターニング)を経て、島状のチャンネル保護膜(122)を作製する。

## 【0059】(4) 第4工程

第3工程の後、図8に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(119)表面をフッ酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚の $n^+a-Si:H$ から成る低抵抗半導体被膜(123)を堆積し、さらにMoを主成分とする第1金属膜と、Alを主成分とする第2金属膜と、Moを主成分とする第3金属膜との三層構造からなる300nm厚の三層構造膜(125)をスパッターにより堆積する。

## 【0060】(5) 第5工程

第4工程の後、図9に示すように、第3のマスクパターンを用いて露光、現像し、三層構造膜(125)はウエットエッチングにより、低抵抗半導体被膜(123)及び半導体被膜(119)を窒化シリコン膜から成る第1ゲート絶縁膜(115)あるいは第2ゲート絶縁膜(117)とチャンネル保護膜(122)とのエッチング選択比を制御することによりプラズマエッチングによりパターニングする(第3のパターニング)。

【0061】これにより、TFT領域においては、低抵抗半導体膜(124a)とソース電極(126b)とを一体に作製し、低抵抗半導体膜(124b)及び信号線(110)と一体にドレイン電極(126a)を作製する。

【0062】走査線パッド(152)及び斜め配線部(150)の基部においては、下層配線部(111a)上に沿って三層構造膜(125)をパターニングして上層配線部(125a)を形成すると共に、上層配線部(125a)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。これと同時に、上述した第2コンタクトホール(154)、(156)に対応する上層配線部(125a)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(154a)、(156a)を作製する。

【0063】同様に、信号線パッド(162)及び斜め配線部(160)の基部においても、下層配線部(111b)上に沿って三層構造膜(125)をパターニングして信号線(110)から延在される上層配線部(125b)を形成すると共に、上層配線部(125b)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。これと同時に、上述した第2コンタクトホール(164)、(166)に対応する領域の上層配線部(125b)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(164a)、(166a)を作製する。

【0064】ここでは、三層積層金属膜(125)、低抵抗

半導体被膜(123)及び半導体被膜(119)のパターニングは、ウエットエッチングとこれに続くドライエッチングとの連続工程により行ったが、ドライエッチングのみ、又は、ウエットエッチングのみにより行うこともできる。

## 【0065】(6) 第6工程

第5工程の後、この上に200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を堆積する。

【0066】ここで、層間絶縁膜(127)を成膜する際には、第2ゲート絶縁膜(117)の場合と同様、減圧プラズマCVDの条件を、密度が $2.6\text{ g/cm}^2$ 以下、ケイ素に対する窒素の元素比が1.3以上となるように調整する。

【0067】そして、図10に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去してコンタクトホール(129a)を形成する。

【0068】走査線パッド(152)及び斜め配線部(150)の基部においては、開口(154a)、(156a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(154)、(156)を形成する(第4のパターニング)と同時に、第2コンタクトホール(154)、(156)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(154)、(156)と一対を成す第1コンタクトホール(153)、(155)を作製する。

【0069】同時に、信号線パッド(162)及び斜め配線部(160)の基部においては、開口(164a)、(166a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(164)、(166)を形成すると同時に、第2コンタクトホール(164)、(166)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(164)、(166)とそれぞれ一対を成す第1コンタクトホール(163)、(165)を作製する。

【0070】コンタクトホールを形成するためのエッチング処理薬剤としては、フッ化水素系薬剤を用いる。特に好ましいものとしては、フッ化水素-フッ化アンモニウム緩衝液(BHF、バッファーHF)が挙げられる。BHFは、フッ化水素を6%、フッ化アンモニウムを28%含有する水溶液である。

【0071】エッチング処理に用いるフッ化水素系薬剤としては、BHFに限らず、フッ化水素-フッ化アンモニウムの酢酸溶液、フッ化水素-フッ化アミン緩衝液その他のものも使用可能である。

【0072】コンタクトホールを形成するエッチング工程において、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を構成する窒化シリコン膜について、密度が $2.6\text{ g/cm}^2$ を越える、又は、窒素/ケイ素の重量組成比が1.3よりも小さいと、エッチング速度が著しく遅くなる。そのため、生産性が悪くなるとともに、第1ゲート絶縁膜(115)を構成する酸化シリコン膜のエッチング速



度との差が大きくなり、良好なコンタクトホールが得られなくなる恐れがある。

【0073】前記第2工程及び本第6工程にて成膜されるこれら窒化シリコン膜(117)(127)は、好ましくは密度が $1.8 \sim 2.4 \text{ g/cm}^2$ であり、窒素/ケイ素の重量組成比が $1.4 \sim 1.8$ である。このような範囲内の窒化シリコン膜(117)(127)であると、窒化シリコン膜のエッチング速度に対する酸化シリコン膜のエッチング速度の比が $0.9 \sim 1.2$ 程度となり、良好なコンタクトホールが得られるとともに生産性を損なうことがない。

【0074】(7)第7工程

第6工程の後、図11に示すように、この上に $100 \text{ nm}$ 厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、ドライエッチングによるパターニング(第5のパターニング)を経て、画素電極(131)を作製する。ITO膜のパターニングも、ドライエッチングに代えてウエットエッチングであってもかまわない。

【0075】走査線パッド(152)及び斜め配線部(150)の基部においては、第1コンタクトホール(153),(155)と第2コンタクトホール(154),(156)とを、それぞれ電気的に接続するための走査線接続層(131)を形成し、これにより走査線(111)と走査線パッド(152)とは、下層配線部(111a)と上層配線部(125a)の2層構造の斜め配線部(150)により電気的に接続される。

【0076】信号線パッド(162)及び斜め配線部(160)の基部においても、第1コンタクトホール(163),(165)と第2コンタクトホール(164),(166)とを、それぞれ電気的に接続するための信号線接続層(131)を同時に形成し、これにより信号線(110)と信号線接続パッド(162)とは、下層配線部(111b)と上層配線部(125b)の2層構造の斜め配線部(160)により電気的に接続される。

【0077】<具体的な実施例及び比較例>(具体的な実施例1)前記第2工程における第2絶縁膜(117)の堆積、及び、前記第6工程における層間絶縁膜(127)の堆積は、減圧プラズマCVDにより以下のようにして行なった。

【0078】プラズマCVDにおける反応ガス(原料ガス)およびキャリアガスとしては、最も典型的な、シラン( $\text{SiH}_4$ )、アンモニア、窒素を用いた。これらガスの流量は、それぞれ、 $1000 \text{ sccm}$ 、 $7000 \text{ sccm}$ 、 $10000 \text{ sccm}$ とした。また、基板温度 $250^\circ\text{C}$ 、圧力 $2.5 \text{ Torr}$ 、RF(高周波)電源の出力 $3000 \text{ W}$ の条件を用いた。用いたプラズマCVD装置はアプライド・マテリアル社製のものである。

【0079】得られた窒化シリコン膜は、密度が $2.1 \text{ g/cm}^2$ 、窒素/ケイ素の重量組成比が $1.4$ であった。

【0080】前記第6工程におけるコンタクトホールを形成するためのエッチング処理には、フッ化水素-フッ

化アンモニウム緩衝液(BHF、パプファーHF)を用いた。

【0081】 $20 \sim 25^\circ\text{C}$ における約5分のエッチング処理により、所望の形状及び寸法のコンタクトホール(163,164,165,166)(153,154,155,156)(129a)が、設計個所全てにおいて得られた。

【0082】上記の層間絶縁膜(127)と全く同様にして堆積した窒化シリコン膜、及び、第1ゲート絶縁膜(115)と全く同様に堆積した酸化シリコン膜についてエッチング速度を求めた。その結果、窒化シリコン膜及び酸化シリコン膜について、それぞれ $85 \text{ nm/分}$ 、及び、 $100 \text{ nm/分}$ であった。即ち窒化シリコン膜のエッチング速度に対する酸化シリコン膜のエッチング速度の比は $1.2$ 未満であった。

【0083】(具体的な実施例2)反応ガス(原料ガス)およびキャリアガスの流量、基板温度、圧力のそれぞれを変更して、密度が $2.5 \text{ g/cm}^2$ 、窒素/ケイ素の重量組成比が $1.33$ の窒化シリコン膜を成膜した。

【0084】BHFを用いて、具体的な実施例1と全く同様にして約7分間エッチングを行ったところ、ほぼ良好なコンタクトホールが得られた。また、窒化シリコン膜のエッチング速度は $75 \text{ nm/分}$ と測定され、窒化シリコン膜のエッチング速度に対する酸化シリコン膜のエッチング速度の比は約 $1.3$ であった。

【0085】尚、反応ガス(原料ガス)およびキャリアガスの流量、基板温度、圧力のそれぞれを変更して成膜された密度が $3.0 \text{ g/cm}^2$ 、窒素/ケイ素の重量組成比が $1.0$ の窒化シリコン膜について具体的な実施例1と全く同様にエッチング処理を行ったところ、エッチング速度は $30 \text{ nm/分}$ と測定された。

【0086】(比較例1)エッチング処理を通常のドライエッチング(平行電極プラズマエッチング装置、 $\text{SF}_6 + \text{Cl}_2$ )により行った場合には、エッチング速度が $10 \text{ nm/分}$ となり、合計 $500 \text{ nm}$ (第1ゲート絶縁膜(115) $150 \text{ nm}$ +第2ゲート絶縁膜(117) $150 \text{ nm}$ +層間絶縁膜(127) $200 \text{ nm}$ )の三層膜を開口するのに約50分の時間を要し、極端に生産性が悪く実用的でなかった。

【0087】

【発明の効果】以上に述べたように本発明によれば、酸化シリコン膜と窒化シリコン膜とからなる多層絶縁膜におけるコンタクトホールの形成を、単一のエッチング処理により効率的に行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】図1におけるA-A'線に沿って切断した液晶表示装置の概略断面図である。

【図3】図1におけるB-B'線に沿って切断した液晶

表示装置の概略断面図である。

【図4】図1におけるC-C'線に沿って切断した液晶表示装置の概略断面図である。

【図5】図1におけるアレイ基板を製造する第1工程を説明するための図である。

【図6】図1におけるアレイ基板を製造する第2工程を説明するための図である。

【図7】図1におけるアレイ基板を製造する第3工程を説明するための図である。

【図8】図1におけるアレイ基板を製造する第4工程を説明するための図である。

【図9】図1におけるアレイ基板を製造する第5工程を説明するための図である。

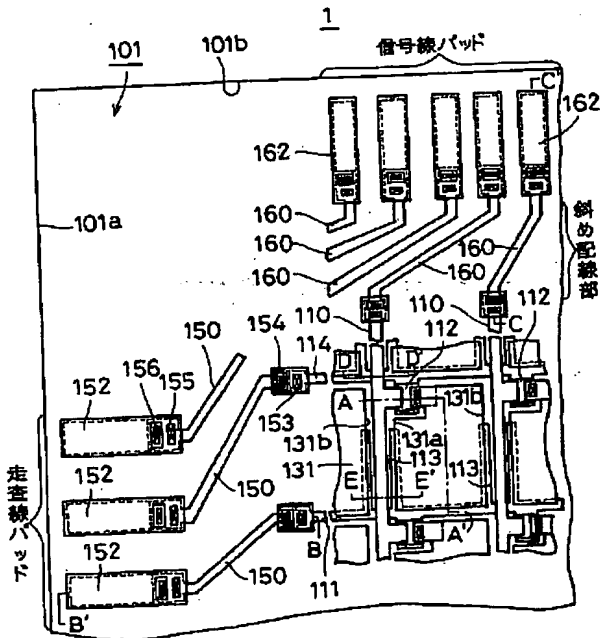
【図10】図1におけるアレイ基板を製造する第6工程を説明するための図である。

【図11】図1におけるアレイ基板を製造する第7工程を説明するための図である。

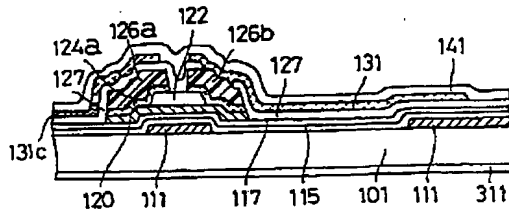
【符号の説明】

- 110 信号線
- 111 走査線
- 112 薄膜トランジスタ (TFT)
- 113 走査線の延在領域
- 115 第1ゲート絶縁膜
- 117 第2ゲート絶縁膜
- 120 半導体膜
- 126a ドレイン電極
- 126b ソース電極
- 127 層間絶縁膜
- 131 画素電極
- 129a ソース電極と画素電極との接続用のコンタクトホール
- 153, 155 走査線パッド用第1コンタクトホール
- 154, 156 走査線パッド用第2コンタクトホール
- 163, 165 信号線パッド用第1コンタクトホール
- 164, 166 信号線パッド用第2コンタクトホール

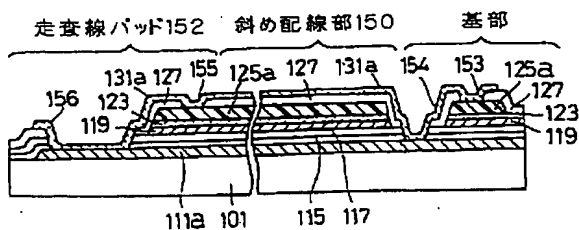
【図1】



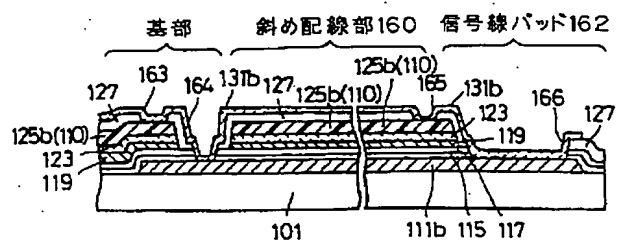
【図2】



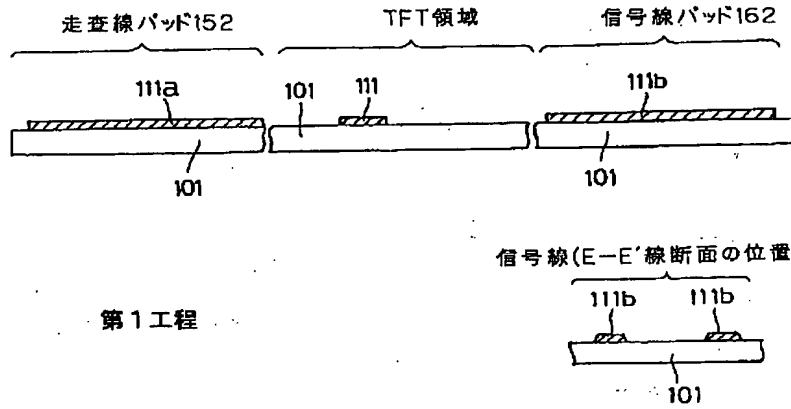
【図3】



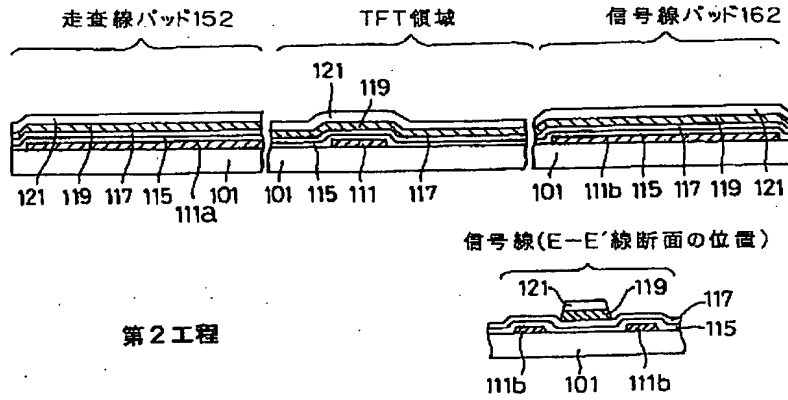
【図4】



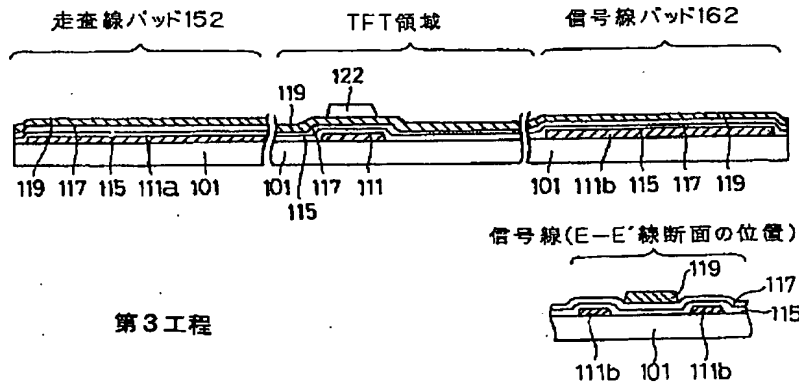
【図5】



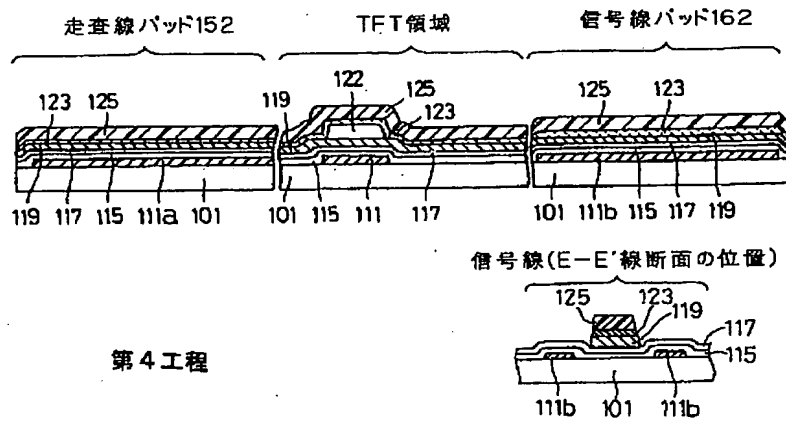
【図6】



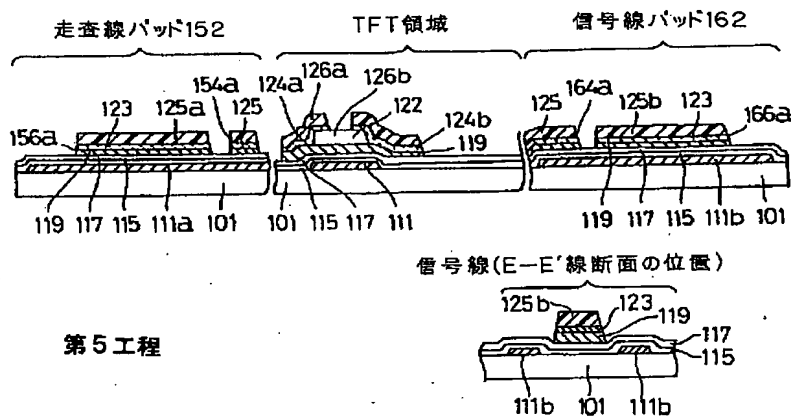
【図7】



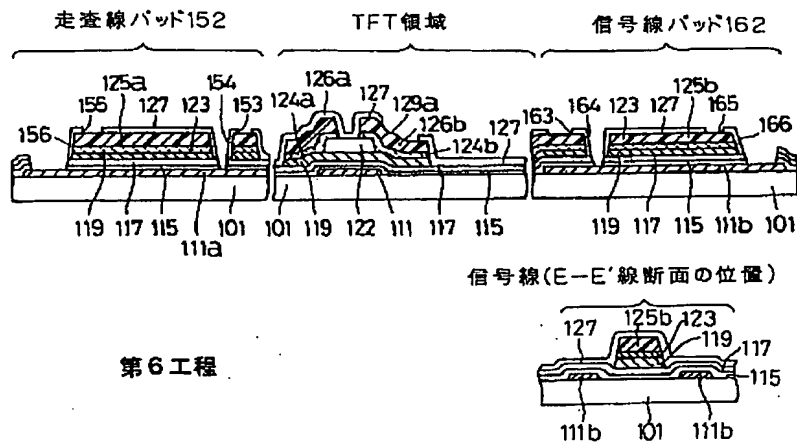
【図8】



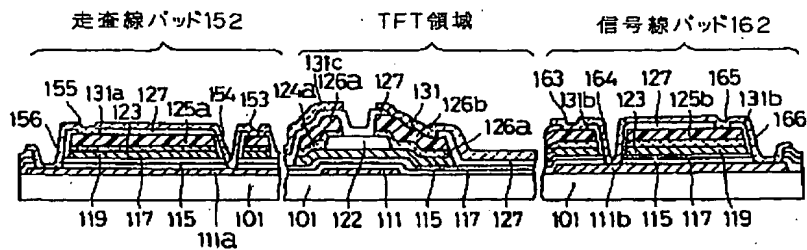
【図9】



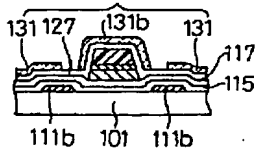
【図10】



【図11】



信号線(E-E'線断面の位置)



第7工程